

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-162182

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

G11C 16/02

(21)Application number : 09-326033

(71)Applicant : SHARP CORP

(22)Date of filing : 27.11.1997

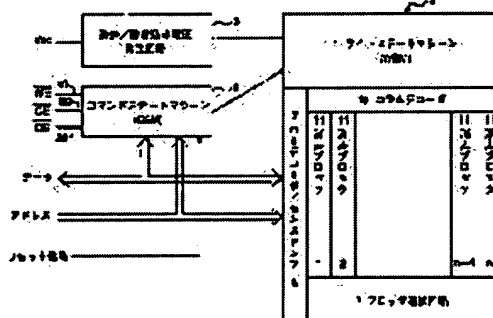
(72)Inventor : FUKUMOTO KATSUMI

## (54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a nonvolatile semiconductor storage device which permits a user to intentionally execute a refresh operation and reliable refresh.

**SOLUTION:** The storage device comprises a command state machine 6 which interprets an input refresh command and sends the interpreted result to a write state machine 1. This machine 1 executes the refresh according to the interpretation result. This storage device can execute the refresh at any time by setting a refresh command. Therefore, refresh is easy, thus providing a storage device easy to use.



## LEGAL STATUS

[Date of request for examination] 02.02.2001

[Date of sending the examiner's decision of rejection] 18.05.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3599541
[Date of registration]	24.09.2004
[Number of appeal against examiner's decision of rejection]	2004-12314
[Date of requesting appeal against examiner's decision of rejection]	16.06.2004
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] the non-volatile semiconductor memory characterize by be the nonvolatile storage which write that the data of a memory cell be also with the command method which perform predetermined actuation according to the specific data and/or the specific address which be input from the outside by the bus cycle , and be replace , having rewrite the stored data of the above-mentioned memory cell per the block or sector by set up a refresh command , and have a refresh means to refresh the stored data of the above-mentioned memory cell .

[Claim 2] the non-volatile semiconductor memory characterize by to have a refresh means to be the nonvolatile storage which rewrite the data of a memory cell as it be also with the command method which perform predetermined actuation according to the specific data and/or the specific address which be input from the outside by the bus cycle , to rewrite the stored data of the above-mentioned memory cell per a block or sector by set up a single block refresh command , and to refresh the stored data of the above-mentioned memory cell .

[Claim 3] the non-volatile semiconductor memory characterize by to have a refresh means to be the nonvolatile storage which rewrite the data of a memory cell as that it be also with the command method which perform predetermined actuation according to the specific data and/or the specific address which be input from the outside by the bus cycle , to rewrite the stored data of the above-mentioned memory cell per a block or sector by set up a full chip refresh command , and to refresh the stored data of the above-mentioned memory cell .

[Claim 4] The non-volatile semiconductor memory which are claim 1 thru/or a non-volatile semiconductor memory of any one publication of three, and is characterized by giving word line potential from a high-voltage circuit output at the time of refresh actuation.

[Claim 5] When it is claim 1 thru/or the non-volatile semiconductor memory of any one publication of three and the above-mentioned command is executed, in an internal high-voltage generating circuit Generate the high voltage more than supply voltage, and potential of a word line is carried out based on the above-mentioned high voltage. Make it a word line electrical potential difference equivalent to the time of the usual read-out, and perform read-out of the 1st from a memory cell, then potential of a word line is carried out based on the above-mentioned high voltage. A read-out means to make it a word line electrical potential difference higher than the time of the usual read-out, and to perform read-out of the 2nd from a memory cell, Compare the data read by the above-mentioned read-out of the 1st with the data read by the above-mentioned read-out of the 2nd, and if these two data are the same If it judges that the data which the above-mentioned memory cell has memorized are normal and the two above-mentioned data differ The data which the above-mentioned memory cell has memorized are equipped with a read-out data comparative judgment means to judge that it is unusual. The above-mentioned refresh means The non-volatile semiconductor memory characterized by performing weak writing to the above-mentioned memory cell, and performing refresh actuation to which only a predetermined value raises the threshold electrical potential difference of the above-mentioned memory cell when the above-mentioned data comparative judgment means judges that the data which the above-mentioned memory

cell has memorized are unusual.

[Claim 6] When the above-mentioned command is executed, in claim 1 thru/or the non-volatile semiconductor memory of any one publication of three in an internal high-voltage generating circuit Generate the high voltage more than supply voltage, and potential of a word line is carried out based on the above-mentioned high voltage. Make it a word line electrical potential difference equivalent to the time of the usual read-out, and perform read-out of the 1st from a memory cell, then potential of a word line is carried out based on the above-mentioned high voltage. A read-out means to make it a word line electrical potential difference lower than the time of the usual read-out, and to perform read-out of the 2nd from a memory cell, Compare the data read by the above-mentioned read-out of the 1st with the data read by the above-mentioned read-out of the 2nd, and if these two data are the same If it judges that the data which the above-mentioned memory cell has memorized are normal and the two above-mentioned data differ The data which the above-mentioned memory cell has memorized are equipped with a read-out data comparative judgment means to judge that it is unusual. The above-mentioned refresh means The non-volatile semiconductor memory characterized by performing refresh actuation only whose predetermined value lowers the threshold of the above-mentioned memory cell when the above-mentioned data comparative judgment means judges that the above-mentioned data are unusual.

[Claim 7] While the above-mentioned data comparative judgment means judges that the above-mentioned data are unusual and the above-mentioned refresh means is performing weak writing to the above-mentioned memory cell in the non-volatile semiconductor memory according to claim 5 The information bit of the purport which needs to perform weak writing to the above-mentioned memory cell the block status register or status register of a block with which the above-mentioned memory cell belongs -- setting up -- the above, if the refresh actuation by weak writing is completed The non-volatile semiconductor memory characterized by having a memory refresh operating state information means to clear the above-mentioned information bit.

[Claim 8] The non-volatile semiconductor memory carry out the above-mentioned data comparative judgment means having judged that the above-mentioned data are unusual in a non-volatile semiconductor memory according to claim 6, and having had a memory refresh operating-state information means set the information bit of the purport which needs to perform refresh actuation of the above-mentioned memory cell as the block status register or the status register of a block with which the above-mentioned memory cell belongs while the above-mentioned refresh means is performing the refresh actuation only whose predetermined value lowers the threshold of the above-mentioned memory cell as the description.

[Claim 9] It has a block-size judging means to judge whether the block with which the memory cell set as the object of the refresh actuation which the above-mentioned refresh means performs in a non-volatile semiconductor memory according to claim 5 or 6 belongs is smaller than predetermined size. The above-mentioned refresh means When the above-mentioned block-size judging means judges that the above-mentioned block is smaller than predetermined size The non-volatile semiconductor memory characterized by eliminating the data of the above-mentioned block and writing after that the data evacuated to the above-mentioned built-in storage section in the above-mentioned memory cell after evacuating the data of the above-mentioned block to the built-in storage section at the time of the above-mentioned refresh actuation.

[Claim 10] It has a block-size judging means to judge whether the block with which the memory cell set as the object of the refresh actuation which the above-mentioned refresh means performs in a non-volatile semiconductor memory according to claim 5 or 6 belongs is smaller than predetermined size. The above-mentioned refresh means When the above-mentioned block-size judging means judges that the above-mentioned block is not smaller than predetermined size The non-volatile semiconductor memory characterized by eliminating the data of the above-mentioned block and writing after that the data evacuated to the above-mentioned external memory section in the above-mentioned memory cell after evacuating the data of the above-mentioned block to the external storage section at the time of the above-mentioned refresh actuation.

[Claim 11] The non-volatile semiconductor memory characterized by constituting the storage section

which evacuates the data of the above-mentioned block from a nonvolatile storage in a non-volatile semiconductor memory according to claim 9 or 10.

[Claim 12] It is the non-volatile semiconductor memory characterized by resuming the refresh actuation which interrupted refresh actuation temporarily as the above-mentioned refresh means is also with a refresh interruption command, and was interrupted temporarily in the non-volatile semiconductor memory according to claim 1 or 2 as it is also with a refresh CONTINUE command.

[Claim 13] The non-volatile semiconductor memory characterized by making the above-mentioned refresh interruption command serve a double purpose by the elimination interruption command, and making the above-mentioned refresh CONTINUE command serve a double purpose with the elimination CONTINUE command in a non-volatile semiconductor memory according to claim 12.

[Claim 14] claim 1 thru/or the non-volatile semiconductor memory of any one publication of 13 -- the non-volatile semiconductor memory characterized by being and memorizing multiple-value data to one memory cell.

[Claim 15] It is the non-volatile semiconductor memory characterized by rewriting by the above-mentioned refresh means' writing in multiple times to the above-mentioned memory cell in a non-volatile semiconductor memory according to claim 5 or 6, and changing a threshold electrical potential difference into a multistage story.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-162182

(43) 公開日 平成11年(1999) 6月18日

(51) Int. Cl.<sup>6</sup>

G 1 1 C 18/02

識別記号

P I

G 1 1 C 17/00

6 1 4

6 4 1

審査請求 未請求 請求項の数15 O L (全 18 頁)

(21) 出願番号 特願平9-326033

(22) 出願日 平成9年(1997)11月27日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 福本 克巳

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

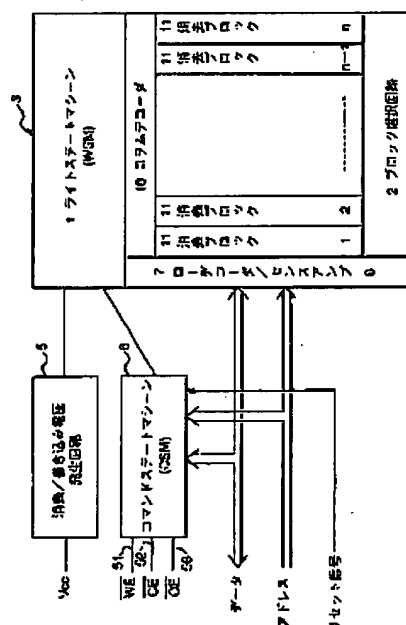
(74) 代理人 弁理士 青山 藤 (外1名)

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 ユーザが意図的にリフレッシュ動作を実行でき、かつ、確実なリフレッシュを実行できる不揮発性半導体記憶装置を提供する。

【解決手段】 この不揮発性半導体記憶装置は、コマンドステートマシン6は、入力されたリフレッシュコマンドを解釈し、ライトステートマシン1に解釈した結果を送る。ライトステートマシン1は、上記解釈した結果に従ってリフレッシュを実行する。この不揮発性半導体記憶装置では、ユーザが、リフレッシュコマンドを設定することによって、随時、リフレッシュを実行できる。したがって、リフレッシュがやり易くなり、使いやすいメモリを提供できる。



(2)

特開平11-162182

1

【特許請求の範囲】

【請求項1】 バスサイクルによって外部から入力される特定のデータおよび/またはアドレスに応じて所定の動作を行うコマンド方式でもって、メモリセルのデータを書き換える不揮発性記憶装置であって、

リフレッシュコマンドを設定することによって、ブロックまたはセクタ単位で上記メモリセルの記憶データを書き換えて、上記メモリセルの記憶データをリフレッシュするリフレッシュ手段を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 バスサイクルによって外部から入力される特定のデータおよび/またはアドレスに応じて所定の動作を行うコマンド方式でもって、メモリセルのデータを書き換える不揮発性記憶装置であって、シングルブロックリフレッシュコマンドを設定することによって、ブロックまたはセクタ単位で上記メモリセルの記憶データを書き換え、上記メモリセルの記憶データをリフレッシュするリフレッシュ手段を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項3】 バスサイクルによって外部から入力される特定のデータおよび/またはアドレスに応じて所定の動作を行うコマンド方式でもって、メモリセルのデータの書き換えを行う不揮発性記憶装置であって、フルチャップリフレッシュコマンドを設定することによって、ブロックまたはセクタ単位で上記メモリセルの記憶データを書き換え、上記メモリセルの記憶データをリフレッシュするリフレッシュ手段を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項4】 請求項1乃至3のいずれか1つに記載の不揮発性半導体記憶装置であって、リフレッシュ動作時に、ワード線電位を高電圧回路出力から与えるようにしたことを特徴とする不揮発性半導体記憶装置。

【請求項5】 請求項1乃至3のいずれか1つに記載の不揮発性半導体記憶装置であって、上記コマンドが実行されると、内部高電圧発生回路で、電源電圧以上の高電圧を発生し、ワード線の電位を、上記高電圧を基にして、通常の読み出し時と同等のワード線電圧にして、メモリセルからの第1の読み出しを行い、続いて、ワード線の電位を、上記高電圧を基にして、通常の読み出し時よりも高いワード線電圧にして、メモリセルからの第2の読み出しを行う読み出し手段と、上記第1の読み出しによって読み出したデータと上記第2の読み出しによって読み出したデータとを比較し、この2つのデータが同じであれば、上記メモリセルが記憶しているデータが正常であると判断し、上記2つのデータが異なっていれば、上記メモリセルが記憶しているデータが異常であると判断する読み出しデータ比較判断手段とを備え、

上記リフレッシュ手段は、上記データ比較判断手段が上

2

記メモリセルが記憶しているデータが異常であると判断したときに、上記メモリセルに弱い書き込みを行って、上記メモリセルのしきい値電圧を所定値だけ高めるリフレッシュ動作を行うことを特徴とする不揮発性半導体記憶装置。

【請求項6】 請求項1乃至3のいずれか1つに記載の不揮発性半導体記憶装置において、

上記コマンドが実行されると、内部高電圧発生回路で、電源電圧以上の高電圧を発生し、ワード線の電位を、上記高電圧を基にして、通常の読み出し時と同等のワード線電圧にして、メモリセルからの第1の読み出しを行い、続いて、ワード線の電位を、上記高電圧を基にして、通常の読み出し時よりも低いワード線電圧にして、メモリセルからの第2の読み出しを行う読み出し手段と、上記第1の読み出しによって読み出したデータと上記第2の読み出しによって読み出したデータとを比較し、この2つのデータが同じであれば、上記メモリセルが記憶しているデータが正常であると判断し、上記2つのデータが異なっていれば、上記メモリセルが記憶しているデータが異常であると判断する読み出しデータ比較判断手段とを備え、

上記リフレッシュ手段は、上記データ比較判断手段が、上記データが異常であると判断したときに、上記メモリセルのしきい値を所定値だけ低めるリフレッシュ動作を行うことを特徴とする不揮発性半導体記憶装置。

【請求項7】 請求項5に記載の不揮発性半導体記憶装置において、

上記データ比較判断手段が、上記データが異常であると判断して、上記リフレッシュ手段が、上記メモリセルに弱い書き込みを行っているときに、上記メモリセルに弱い書き込みを行う必要がある旨の情報ビットを、上記メモリセルが属するブロックのブロックステータスレジスタもしくはステータスレジスタに設定し、上記弱い書き込みによるリフレッシュ動作が完了すれば、上記情報ビットをクリアするメモリリフレッシュ動作状態通知手段を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項8】 請求項6に記載の不揮発性半導体記憶装置において、

上記データ比較判断手段が、上記データが異常であると判断して、上記リフレッシュ手段が、上記メモリセルのしきい値を所定値だけ低めるリフレッシュ動作を行っているときに、上記メモリセルのリフレッシュ動作を行う必要がある旨の情報ビットを、上記メモリセルが属するブロックのブロックステータスレジスタもしくはステータスレジスタに設定するメモリリフレッシュ動作状態通知手段を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項9】 請求項5または6に記載の不揮発性半導体記憶装置において、

上記リフレッシュ手段が行うリフレッシュ動作の対象と

50

(3)

特開平11-162182

3

4

なるメモリセルが属するブロックが所定サイズよりも小さいか否かを判断するブロックサイズ判定手段を有し、上記リフレッシュ手段は、上記ブロックサイズ判定手段が、上記ブロックが所定サイズよりも小さいと判断したときには、上記リフレッシュ動作時に、内蔵記憶部に上記ブロックのデータを退避してから、上記ブロックのデータを消去し、その後、上記内蔵記憶部に退避したデータを上記メモリセルに書き込むことを特徴とする不揮発性半導体記憶装置。

【請求項10】 請求項5または6に記載の不揮発性半導体記憶装置において、

上記リフレッシュ手段が行うリフレッシュ動作の対象となるメモリセルが属するブロックが所定サイズよりも小さいか否かを判断するブロックサイズ判定手段を有し、上記リフレッシュ手段は、上記ブロックサイズ判定手段が、上記ブロックが所定サイズよりも小さくないと判断したときには、上記リフレッシュ動作時に、外部の記憶部に上記ブロックのデータを退避してから、上記ブロックのデータを消去し、その後、上記外部記憶部に退避したデータを上記メモリセルに書き込むことを特徴とする不揮発性半導体記憶装置。

【請求項11】 請求項9または10に記載の不揮発性半導体記憶装置において、

上記ブロックのデータを退避する記憶部を、不揮発性記憶装置で構成したことを特徴とする不揮発性半導体記憶装置。

【請求項12】 請求項1または2に記載の不揮発性半導体記憶装置において、

上記リフレッシュ手段は、リフレッシュ中断コマンドでもってリフレッシュ動作を一時中断し、リフレッシュ再開コマンドでもって一時中断したリフレッシュ動作を再開することを特徴とする不揮発性半導体記憶装置。

【請求項13】 請求項12に記載の不揮発性半導体記憶装置において、上記リフレッシュ中断コマンドを、消去中断コマンドで兼用しており、

上記リフレッシュ再開コマンドを、消去再開コマンドで兼用していることを特徴とする不揮発性半導体記憶装置。

【請求項14】 請求項1乃至13のいずれか1つに記載の不揮発性半導体記憶装置において、

1つのメモリセルに多値データを記憶するようになっていたことを特徴とする不揮発性半導体記憶装置。

【請求項15】 請求項5または6に記載の不揮発性半導体記憶装置において、

上記リフレッシュ手段は、上記メモリセルへ複数回の書き込みを行って、しきい値電圧を多段階に変えることによって、書き換えを行うことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータや情報処理機器に用いられるメモリに関する。より詳しくは、電気的なデータの書き込みと消去が可能な不揮発性半導体記憶装置に関する。特に、一つのメモリセル内に多値（二値以上）のデータを記憶する不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】従来の不揮発性メモリの一つに、EPROM（イレーザブル・プログラマブル・リード・オンリ・メモリ）がある。EPROMは、ユーザによるデータの書き込みが可能である。

【0003】しかし、このEPROMのデータを消去するには、EPROMに紫外線を照射する必要がある。この紫外線照射により、全メモリアレイのデータが一括して消去される。このため、データを書き換える度に、EPROMを基板から取り外す作業が必要であった。

【0004】また、EPROMは、メモリセル面積が小さく、大容量化に適している反面、紫外線照射でデータを消去するので、密付きパッケージを必要とする。また、プログラマ（または、ライト）と呼ばれる書き込み装置によって書き込みを行う必要があるため、書き込み時にシステムから取り外す必要がある。

【0005】一方、従来からあるEEPROM（エレクトリカル・イレーザブル・プログラマブル・ROM）はシステム内で電氣的に書き換えが可能であるが、EPROMの1.5倍から2倍程度のメモリセル面積を要するため、サイズアップとコストアップを招き、大容量化が困難である。

【0006】そこで、最近では、両者の中間的な記憶装置として、フラッシュメモリ（またはフラッシュEPROM）と呼ばれるメモリが開発されている。

【0007】このフラッシュメモリは、チップを一括して電氣的に消去するか、または、セクタまたはブロックと呼ばれるある領域のメモリセルを一括して電氣的に消去する機能を持つ不揮発性半導体記憶装置である。このフラッシュメモリのメモリセル面積は、EPROM程度の値を実現できる。

【0008】上記フラッシュメモリのメモリセルとしては、例えば、米国特許No. 5249158や、米国特許No. 5245570において開示されている図5に示すものがある。図5に示すメモリセル501は、浮遊ゲート型電界効果トランジスタ構造を有しており、1素子で1ビット（1セル）を構成できるから、高集積化し易い。

【0009】メモリセル501へのデータの書き込みは、制御ゲート電極502に約12V、ドレイン503に約7V、ソース505に0Vを印加し、ドレイン接合近傍で発生させたホットエレクトロンを浮遊ゲート電極506に注入することにより行なわれる。このデータ書



(4)

特開平11-162182

5

き込みによって、メモリセル501の制御ゲート電極502から見たしきい値電圧が高くなる。

【0010】また、図5に示す浮遊ゲート型電界効果トランジスタ構造を有したメモリセル501は、1素子で多値をとるように構成すると高集積化が一層容易になる。たとえば、メモリセル501に、数百mV間隔で2のn乗の状態を取る複数のしきい値 $V_{th}$ を持たせると良い。

【0011】このメモリセル501へのデータの書き込みは、ソース505を0Vにし、制御ゲート電極506に約12Vで数マイクロ秒のパルスを加し、ドレイン503に約7Vで数マイクロ秒のパルスを加して、ドレイン接合近傍で発生させたホットエレクトロンを浮遊ゲート電極506に注入することにより行われる。

【0012】この書き込みによって、メモリセル501の制御ゲート電極502から見たしきい値電圧 $V_{th}$ は高くなる。上記制御ゲート電極502に印加する電圧、ドレイン電圧、または、制御ゲート電極502やドレイン503に加えるパルス値を変化させることによって、しきい値電圧 $V_{th}$ を変えることができる。

【0013】一方、上記メモリセル501に書き込んだデータを消去するには、制御ゲート電極506を接地し、ソース505に正の高電圧(約12V)を加して、浮遊ゲート電極506とソース505の間に高電界を発生させ、薄いゲート酸化膜を通したトンネル現象を利用して浮遊ゲート電極506に蓄積された電子をソース505に引き抜く。

【0014】このデータ消去は、通常ブロック単位(例えば、16Kバイトや64Kバイト単位)で行われる。この消去によって、制御ゲート電極502から見たしきい値電圧 $V_{th}$ は低くなる。ここで、メモリセル501は、選択トランジスタを持っていないので、過剰な消去が行われて、しきい値電圧が負になると、読み出し時に正しいデータが読み出せなくなるという致命的な不良が起る。

【0015】また、このメモリセル501のデータ読み出しは、ソース505に0Vを加し、ドレイン503に約1V程度の低電圧を加し、制御ゲート502には約5V程度の電圧を加し、この時に流れるチャンネル電流の大小が、情報の「1」と「0」とに対応することを利用して行う。ここで、ドレイン電圧を低電圧にするのは、寄生的な弱い書き込み動作(いわゆるソフトライト)を防止するためである。

【0016】また、多値記憶データを読み出すときには、ソース505に0Vを加し、ドレイン503に約1V程度の低電圧を加し、制御ゲート電極502に印加する電圧を変化させる。そして、チャンネル電流が流れたときの制御ゲート電極502への印加電圧の値を利用して、多値記憶データの読み出しを行う。

【0017】上記メモリセル501では、書き込みをド

6

レイン503側で行い、消去をソース側で行うので、接合プロファイルはそれぞれの動作に適するように個別に最適化するのが望ましい。すなわち、ソース505、ドレイン503は非対称構造となっており、ドレイン接合では書き込み効率を高めるために電界集中型プロファイルを用い、ソース接合では高電圧が印加可能な電界緩和型プロファイルを採用している。

【0018】ところで、消去時にソース505に高電圧を印加する方法では、ソース接合の耐圧を高めなければならないので、ソース電極側を微細化し難いという問題がある。また、ソース近傍でホットホールが発生し、その一部がトンネル絶縁膜中にトラップされ、セルの信頼性が低下するという問題がある。

【0019】そこで、他の消去の例としては、負ゲート消去法がある。この方法では、制御ゲート502に負電圧(約-10V)を加し、ソース505に電源電圧(約5V)を加して、トンネル電流によって消去を行う。この消去方法の利点の一つは、消去時にソース505に印加される電圧が低いので、ソース側の接合耐圧が低くてもよくなり、セルのゲート長を短縮すること可能なことである。また、負ゲート消去法を用いると、消去ブロックサイズを小さくして、セクタ消去し易い利点もある。

【0020】また、ソース505に高電界を加える消去方法では、バンド間トンネル電流が流れ、その電流値がチップ全体で数mAにもなるので、昇圧回路の使用が困難になる。したがって、従来は消去用の高電圧 $V_{pp}$ をチップ外部から供給していた。

【0021】また、上記負ゲート消去方法では、ソース505に電源電圧 $V_{cc}$ (5Vまたは3V)を供給することが可能になるので、単一電源化が比較的容易に可能になるという利点がある。

【0022】また、書き込み時にホットエレクトロンを用いる方法では、書き込み時に1セル当たり約1mAの電流が流れるので、従来のEPROMと同様に、FNTトンネル電流を用い、書き込み時に1セル当たり流れる電流を少なくするフラッシュメモリもある。

【0023】半導体プロセスの微細化や電池駆動の携帯型機器の普及とともに動作電源の低電圧化が要望されている。そのため、5V単一動作ではなく、3.3V単一動作のメモリが要望されており、活発に開発されている。

【0024】電源電圧 $V_{cc}$ を3.3Vにして、読み出しを行う場合、現状のフラッシュEPROMでは、制御ゲート線(ワード線)に電源電位( $V_{cc}=3.3V$ )を加している。あるいは、高速化と動作マージンの拡大のために、内部昇圧した約5Vを、制御ゲート線に印加している。

【0025】このような不揮発性半導体記憶装置は、短時間での書き込みと読み出しが可能なRAM(ランダム

(5)

特開平11-162182

7

8

アクセスメモリ)に比べて、多くの動作状態を持つ。この多くの動作状態とは、書き込み、ブロック消去、全チップ一括消去、状態レジスタの読みだし等である。このような多数の動作状態を、外部制御信号(/CE、/WE、/CEなど)の組み合わせに対応させると、従来のEPROM、EEPROMが備えている制御信号では不足になるので、新しい制御信号を追加する必要が生じる。その結果、使い勝手が悪くなる。

【0026】そこで、米国特許No. 5053990にあるように、制御信号線を増加させずに、コマンド方式をとる方法が提案され、主流になっている。この不揮発性半導体記憶装置では、ユーザが入力したコマンドは、コマンドステートマシーン(CSM)に入る。そして、上記コマンドは、このコマンドステートマシーンで認識される。そして、このコマンドステートマシンの認識に基づき、ライトステートマシーン(WSM)が、上記コマンドに対応した動作(消去/書き込み等)を実行する。

【0027】そして、この種の不揮発性半導体記憶装置としては、チップ内の消去ブロックの大きさを不均等に分割したもの(米国特許No. 5249158)や、均等に分割したもの(米国特許No. 5245570)がある。

【0028】また、書き込み動作と消去動作の両方を、FETトンネル電流で行うものや、メモリセルを直列に8個または16個接続したNAND型と呼ばれるメモリセルもある。このNAND型メモリセルは、NOR型メモリセルに比べて、読み出し速度が遅いが、メモリセルサイズを小さくできる利点がある。

【0029】上述したように、通常は1個のメモリセルに2値(1ビット)を記憶するが、4値(2ビット)や8値(3ビット)、更には、16値(4ビット)など、多値を記録する試みがある。

【0030】ここで、図11に、リフレッシュを行うことが可能な不揮発性半導体記憶装置(特開平7-37397号)を示す。図11に示されるように、この不揮発性半導体記憶装置110は外部よりアドレスやデータ等が入力される。また、不揮発性半導体記憶装置110は、列デコーダ112、ワード線デコーダ114、読み出し/書き込み/消去回路要素116を有し、読み出し/書き込み/消去回路要素116は、列デコーダ112及びワード線デコーダ114の両方に結合される。不揮発性半導体記憶装置110内のメモリセルは、種々のセクタ(118、120、122、124、126、128)に分割される。セクタ118、セクタ120、及びセクタ122は、列デコーダ112からの共通のビット線につながり、セクタ124、セクタ126、及びセクタ128は、列デコーダ112からの他の共通のビット線につながる。更に、セクタ118とセクタ124、セクタ120とセクタ126、セクタ122とセクタ128は、それぞれワード線デコーダ114からの共通のワ

ード線につながる。列デコーダ112からのビット線は、センス増幅器130に結合されており、このセンス増幅器は種々のセル上のデータを検出し外部に出力する。尚、リフレッシュ回路要素132は、列デコーダ112、ワード線デコーダ114、及び読み出し/書き込み/消去回路要素116に結合されている。図11におけるセクタを構成するメモリセルは、図12のように接続される。メモリセルMSは列デコーダ112とワード線デコーダ114との間に結合されており、リフレッシュ回路部132は、センス増幅器154からのデータ出力に結合されている。また、消去サイクル計数器156はリフレッシュ回路部132に結合され、かつ他のセクタからの入力を受信する。リフレッシュ回路部132がメモリセルMSの各アレイを読み出す周波数は消去サイクル計数器156によって決定される。消去サイクル計数器156は、図11に示されたセクタに電気的に関連したセクタ内で行われ、消去サイクルの数を計数する。すなわち、消去サイクル計数器156は、図11に示されたセクタ内の擾乱状態を起こすおそれのある消去サイクルの数を計数する。消去サイクル計数器156は、不揮発性半導体記憶装置110を含むシステムの特定の必要性に従ってセットされる。例えば、消去サイクル計数器156は、図11に示されたセクタ内の擾乱を起こすおそれのあるどのセクタからのどの10消去サイクルの後にもリフレッシュが起こるように、10にセットされる。他の例では、消去サイクル計数器156は、1にセットされる。

【0031】図11を参照すると、例として、10消去サイクルの全部がセクタ120、セクタ122、及びセクタ124内にいったん行われると、10にセットされる消去サイクル計数器156でもって、セクタ118に対するリフレッシュが行われる。例えば、もし、セクタ120内で2消去サイクルが、セクタ122内で5消去サイクルが、及びセクタ124内で3消去サイクルが行われたとしたならば、セクタ118内で1リフレッシュサイクルが行われる。

【0032】リフレッシュ回路部132は、不揮発性半導体記憶装置110内の各セクタのリフレッシュに対して列デコーダ112及びワード線デコーダ114を制御する。更に、消去サイクル計数器156は、リフレッシュ回路部132が必要とされるに従い適当なセクタをリフレッシュするように、各セクタ内の消去サイクルを計数する。このリフレッシュ動作を、図13の流れ図に従って行う。

【0033】以下、図13のフローチャートを用いてリフレッシュ動作を説明する。最初に、ステップS42へ移行し、このステップS42において、特定セルが、それが既にプログラムされているかどうかを判定するために、上昇制御ゲート電圧(例えば7V)において読み出される。プログラムセルは導通してはならないから、特

(6)

特開平11-162182

9

10

定セルの制御ゲートに上昇電圧を印加すると、そのセルがプログラムされない限り導通し、かつその浮動ゲートは導通を防げるに充分な電荷をこのゲート上に有する。もし、プログラムセルが既に擾乱されており、かつ或るその電荷が、例えば、ワード線ストレスまたはビット線ストレスを通して移動させるならば、その制御ゲートへの上昇電圧の使用の結果電流が流れる。したがって、判定ステップS44において、そのセルがプログラムされているかどうかの初期判定が行われる。もし、ステップS42において印加された上昇制御ゲート電圧において、このセルを通して導通が起こらないならば、このセルは既にプログラムされておりかつ擾乱されてはおらず、次のセルがステップS46において読み出されることになる。「不導通」は、充分な導通がほとんど起こらないためにそのセルがプログラムされていると解釈されることを意味する。導通があると言うとき、それは、1つのセルを通してこのセルが消去されたと解釈されるのに充分な導通があることを意味する。しかしながら、もし、ステップS42における上昇制御ゲート電圧の印加後に既に導通が起こっているとステップS44において判定されるならば、ステップS48へ移行する。ステップS48において、その特定セルは、低下制御ゲート電圧（例えば5V）において読み出される。この低下制御ゲート電圧は、そのセルが消去セルであるならば不導通を保証するに充分低くはならず、かつ、ソフト書き込みを通して既に擾乱されている消去セルに対しては導通を結果するほど高くはならない。判定ステップS50において、そのセルがプログラムセルであるかが判定される。もし、この低下制御ゲート電圧において導通があるならば、そのセルは消去セルであり、リフレッシュは必要なく、次のセルがステップS46において読み出される。しかしながら、低下制御ゲート電圧がその特定セルに印加された後導通が起こらないならば、そのセルは既にプログラムされているが、しかし擾乱されていると判定される。導通は上昇制御ゲート電圧において起こったが、しかし低下制御ゲート電圧においては起こらなかったため、この情報が生じ、電荷の或るものがその浮動ゲートを離れてしまったことを指示する。したがって、ステップS52へ移行して、その特定メモリセルがリフレッシュされる。

【0034】

【発明が解決しようとする課題】近年の半導体技術の進歩によって、不揮発性半導体記憶装置の浮動ゲート506下の酸化膜の膜厚は、約100Å付近であり、今後とも膜厚は薄くなっていくと予想される。しかし、膜厚が薄くなるにしたがって、一般的にリーク電流が増加する傾向にある。

【0035】しかるに、不揮発性半導体記憶装置である上記フラッシュメモリでは、浮動ゲート506上の電荷の有無でデータを記憶しているため、プロセスが微細化

してトンネル酸化膜が薄くなると、リーク電流により電荷が抜け易く、データが消え易くなるという問題が生じる。

【0036】特に、4値（2ビット）や8値（3ビット）を記録する多値記録メモリでは、状態間の差（メモリセルのしきい値電圧 $V_{th}$ 間の差）が小さくなるから、上記リーク電流の増加は、一層深刻な問題になる。

【0037】また、プロセスが微細化し、トンネル酸化膜が薄くなると、リーク電流で電荷が抜け易くなるから、歩留まりが悪くなるという問題もある。

【0038】特開昭60-74578号公報には、メモリセルの周辺回路にメモリセルの書き換え回数を記憶する手段を内蔵し、メモリセルの書き換え回数が所定値を越えるごとに、メモリセル記憶内容をリフレッシュする不揮発性記憶装置の記述がある。書き換え回数が所定値を越えるごとにリフレッシュすると、ユーザが意図的にリフレッシュする時期を逃さないで、読み出しや書き込みを行おうとした時に、所定回数を越えたとリフレッシュ動作に入ってしまう、使いにくい。

【0039】特開平1-134793号公報には、電源電圧の投入に呼応して、メモリセル記憶内容をリフレッシュする不揮発性記憶装置の記述がある。

【0040】特開平7-37397号にはワード線電位を上げ下げして、異なる読み出し電圧の下で2回判定した結果必要があるとメモリセル記憶内容をリフレッシュする不揮発性記憶装置の記述がある。

【0041】いずれも、ユーザが意図的にリフレッシュ動作と読み出し動作を選択できないし、ユーザにリフレッシュ動作中かどうか分からないので使い勝手が悪い。

【0042】そこで、この発明の目的は、ユーザが意図的にリフレッシュ動作を行うことができ使い勝手がよく、確実なリフレッシュを実行できる不揮発性半導体記憶装置を提供することにある。

【0043】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明の不揮発性半導体記憶装置は、バスサイクルによって外部から入力される特定のデータおよび/またはアドレスに応じて所定の動作を行うコマンド方式でもって、メモリセルのデータを書き換える不揮発性記憶装置であって、リフレッシュコマンドを設定することによって、ブロックまたはセクタ単位で上記メモリセルの記憶データを書き換えて、上記メモリセルの記憶データをリフレッシュするリフレッシュ手段を備えたことを特徴としている。

【0044】この請求項1の発明では、ユーザが、上記リフレッシュコマンドを設定することによって、随時、リフレッシュを実行できる。したがって、リフレッシュがやり易くなり、使いやすいメモリを提供できる。

【0045】また、請求項2の発明は、バスサイクルによって外部から入力される特定のデータおよび/または

(7)

特開平11-162182

11

アドレスに応じて所定の動作を行うコマンド方式でもって、メモリセルのデータを書き換える不揮発性記憶装置であって、シングルブロックリフレッシュコマンドを設定することによって、ブロックまたはセクタ単位で上記メモリセルの記憶データを書き換え、上記メモリセルの記憶データをリフレッシュするリフレッシュ手段を備えたことを特徴としている。

【0046】この請求項2の発明では、ユーザが、上記シングルブロックリフレッシュコマンドを設定することによって、随時、リフレッシュを実行できる。したがって、リフレッシュがやり易くなり、使いやすいメモリを提供できる。また、ブロック単位でのリフレッシュが可能になる。

【0047】また、請求項3の発明は、バスサイクルによって外部から入力される特定のデータおよび/またはアドレスに応じて所定の動作を行うコマンド方式でもって、メモリセルのデータの書き換えを行う不揮発性記憶装置であって、フルチップリフレッシュコマンドを設定することによって、ブロックまたはセクタ単位で上記メモリセルの記憶データを書き換え、上記メモリセルの記憶データをリフレッシュするリフレッシュ手段を備えたことを特徴としている。

【0048】この請求項3の発明では、ユーザが、上記フルチップリフレッシュコマンドを設定することによって、随時、リフレッシュを実行できる。したがって、リフレッシュがやり易くなり、使いやすいメモリを提供できる。また、多数回のシングルブロックリフレッシュに相当するフルチップリフレッシュを行えるから、リフレッシュコマンドの入力に要する手間を省ける。

【0049】また、請求項4の発明は、請求項1乃至3のいずれか1つに記載の不揮発性半導体記憶装置であって、リフレッシュ動作時に、ワード線電位を高電圧回路出力から与えるようにしたことを特徴としている。

【0050】この請求項4の発明では、リフレッシュ動作時には、通常の読み出し動作時にワード線に電位を与える回路とは異なる高電圧回路から、ワード線に電位を与えるから、リフレッシュ動作の安定化を図れる。

【0051】また、請求項5の発明は、請求項1乃至3のいずれか1つに記載の不揮発性半導体記憶装置であって、上記コマンドが実行されると、内部高電圧発生回路で、電源電圧以上の高電圧を発生し、ワード線の電位を、上記高電圧を基にして、通常の読み出し時と同等のワード線電圧にして、メモリセルからの第1の読み出しを行い、続いて、ワード線の電位を、上記高電圧を基にして、通常の読み出し時よりも高いワード線電圧にして、メモリセルからの第2の読み出しを行う読み出し手段と、上記第1の読み出しによって読み出したデータと上記第2の読み出しによって読み出したデータとを比較し、この2つのデータが同じであれば、上記メモリセルが記憶しているデータが正常であると判断し、上記2つ

12

のデータが異なっていれば、上記メモリセルが記憶しているデータが異常であると判断する読み出しデータ比較判断手段とを備え、上記リフレッシュ手段は、上記データ比較判断手段が上記データが異常であると判断したときに、上記メモリセルに弱い書き込みを行って、上記メモリセルのしきい値電圧を所定値だけ高めるリフレッシュ動作を行うことを特徴としている。

【0052】この請求項5の発明では、上記読み出し手段で、通常の読み出しである第1の読み出しと、ワード線に通常よりも高い電圧を与える第2の読み出しを行い、上記読み出しデータ比較判断手段で、上記2つの読み出しによる2つのデータが異なっているときに、リフレッシュ手段による弱い書き込みを行って、メモリセルのしきい値電圧を所定値だけ高めてリフレッシュ動作を行う。

【0053】上記2つのデータが不一致であるときには、浮遊ゲートからの電荷抜けが起こっているから、上記弱い書き込みでもって、上記浮遊ゲートに電荷を捕うことにより、データの消失を防げる。

【0054】したがって、この請求項5の発明によれば、メモリセルのデータの異常を検出して、メモリセルのデータを正常に保つリフレッシュ動作を行え、データの安全性を向上できる。

【0055】また、請求項6の発明は、請求項1乃至3のいずれか1つに記載の不揮発性半導体記憶装置において、上記コマンドが実行されると、内部高電圧発生回路で、電源電圧以上の高電圧を発生し、ワード線の電位を、上記高電圧を基にして、通常の読み出し時と同等のワード線電圧にして、メモリセルからの第1の読み出しを行い、続いて、ワード線の電位を、上記出力電圧 $V_{COH}$ を基にして、通常の読み出し時よりも低いワード線電圧にして、メモリセルからの第2の読み出しを行う読み出し手段と、上記第1の読み出しによって読み出したデータと上記第2の読み出しによって読み出したデータとを比較し、この2つのデータが同じであれば、上記メモリセルが記憶しているデータが正常であると判断し、上記2つのデータが異なっていれば、上記メモリセルが記憶しているデータが異常であると判断する読み出しデータ比較判断手段とを備え、上記リフレッシュ手段は、上記データ比較判断手段が、上記データが異常であると判断したときに、上記メモリセルのしきい値を所定値だけ低めるリフレッシュ動作を行うことを特徴としている。

【0056】この請求項6の発明では、上記読み出し手段で、通常の読み出しである第1の読み出しと、ワード線に通常よりも低い電圧を与える第2の読み出しを行い、上記読み出しデータ比較判断手段で、上記2つの読み出しによる2つのデータが異なっているときに、リフレッシュ手段による低電圧で行って、メモリセルのしきい値電圧を所定値だけ低めてリフレッシュ動作を行う。

【0057】上記2つのデータが不一致であるときに

13

は、浮遊ゲートへの電荷侵入が起こっているから、上記消去動作もしくは消去動作後の弱い書き込みでもって、上記浮遊ゲートの電荷を減少させることにより、データの消失を防げる。

【0058】したがって、この請求項6の発明によれば、メモリセルのデータの異常を検出して、メモリセルのデータを正常に保つリフレッシュ動作を行え、データの安全性を向上できる。

【0059】また、請求項7の発明は、請求項5に記載の不揮発性半導体記憶装置において、上記データ比較判断手段が、上記データが異常であると判断して、上記リフレッシュ手段が、上記メモリセルに弱い書き込みを行っているときに、上記メモリセルに弱い書き込みを行う必要がある旨の情報ビットを、上記メモリセルが属するブロックのブロックステータスレジスタもしくはステータスレジスタに設定し、上記弱い書き込みによるリフレッシュ動作が完了すれば、上記情報ビットをクリアするメモリリフレッシュ動作状態通知手段を備えたことを特徴としている。

【0060】この請求項7の発明では、上記メモリリフレッシュ動作状態通知手段によって、上記メモリセルに弱い書き込みを行う必要がある旨の情報ビットを上記レジスタに設定し、上記弱い書き込みが完了すれば、上記情報ビットをクリアする。したがって、メモリセルに書き込みを行うという比較的時間がかかる動作が行われているか否かを、この情報ビットでユーザに知らせることができる。

【0061】また、請求項8の発明は、請求項6に記載の不揮発性半導体記憶装置において、上記データ比較判断手段が、上記データが異常であると判断して、上記リフレッシュ手段が、上記メモリセルのしきい値を所定値だけ低めるリフレッシュ動作を行っているときに、上記メモリセルのリフレッシュ動作を行う必要がある旨の情報ビットを、上記メモリセルが属するブロックのブロックステータスレジスタもしくはステータスレジスタに設定するメモリリフレッシュ動作状態通知手段を備えたことを特徴としている。

【0062】この請求項8の発明では、上記メモリリフレッシュ動作状態通知手段によって、上記メモリセルのしきい値を所定値だけ低めるリフレッシュ動作を行う必要がある旨の情報ビットを上記レジスタに設定し、上記リフレッシュ動作が完了すれば、上記情報ビットをクリアする。したがって、メモリセルのリフレッシュという比較的時間がかかる動作が行われているか否かを、この情報ビットでユーザに知らせることができる。

【0063】また、上記メモリセルのしきい値を所定値だけ低めるには、浮遊ゲートから電荷を抜く必要があり、消去動作を行う必要がある。しかし、消去動作は、ブロックもしくはセクタ単位で行う必要があり、目的のメモリセルだけを消去することはできない。したがっ

(8)

特開平11-162182

14

て、上記メモリセルが属するブロックを消去する必要があるという情報をレジスタに設定するのである。そして、レジスタ読み出しモード時に、このレジスタから、デバイスの外部に上記情報を読み出すことによって、ユーザに上記情報を知らせることができる。

【0064】また、請求項9の発明は、請求項5または6に記載の不揮発性半導体記憶装置において、上記リフレッシュ手段が行うリフレッシュ動作の対象となるメモリセルが属するブロックが所定サイズよりも小さいか否かを判断するブロックサイズ判定手段を有し、上記リフレッシュ手段は、上記ブロックサイズ判定手段が、上記ブロックが所定サイズよりも小さいと判断したときには、上記リフレッシュ動作時に、内蔵記憶部に上記ブロックのデータを退避してから、上記ブロックのデータを消去し、その後、上記内蔵記憶部に退避したデータを上記メモリセルに書き込むことを特徴としている。

【0065】この請求項9の発明では、上記ブロックサイズ判定手段で、リフレッシュ動作の対象となるメモリセルが属するブロックが所定サイズよりも小さいか否かを判断し、上記所定サイズよりも小さいと判断したときには、内蔵記憶部に上記ブロックのデータを退避し、上記ブロックのデータを消去してから、上記内蔵記憶部に退避したデータを上記メモリセルに書き直す(リフレッシュする)ことができる。

【0066】また、請求項10の発明は、請求項5または6に記載の不揮発性半導体記憶装置において、上記リフレッシュ手段が行うリフレッシュ動作の対象となるメモリセルが属するブロックが所定サイズよりも小さいか否かを判断するブロックサイズ判定手段を有し、上記リフレッシュ手段は、上記ブロックサイズ判定手段が、上記ブロックが所定サイズよりも小さくないと判断したときには、上記リフレッシュ動作時に、外部の記憶部に上記ブロックのデータを退避してから、上記ブロックのデータを消去し、その後、上記外部記憶部に退避したデータを上記メモリセルに書き込むことを特徴としている。

【0067】この請求項10の発明では、上記ブロックサイズ判定手段で、リフレッシュ動作の対象となるメモリセルが属するブロックが所定サイズよりも小さくないときには、外部の記憶部に上記ブロックのデータを退避し、上記ブロックのデータを消去してから、上記外部記憶部に退避したデータを上記メモリセルに書き込むことができる。

【0068】また、請求項11の発明は、請求項9または10に記載の不揮発性半導体記憶装置において、上記ブロックのデータを退避する記憶部を、不揮発性記憶装置で構成したことを特徴としている。

【0069】この請求項11の発明では、上記ブロックのデータを退避する記憶部を、不揮発性記憶装置で構成したから、リフレッシュ中の電荷オフによる退避データの消失を防止できる。

50

15

【0070】また、請求項12の発明は、請求項1または2に記載の不揮発性半導体記憶装置において、上記リフレッシュ手段は、リフレッシュ中断コマンドでもってリフレッシュ動作を一時中断し、リフレッシュ再開コマンドでもって一時中断したリフレッシュ動作を再開することを特徴としている。

【0071】この請求項12の発明では、比較的時間のかかるリフレッシュ動作を、上記リフレッシュ中断コマンドで中断させて、別の動作の実行を可能にでき、この別の動作が終われば、上記リフレッシュ再開コマンドによって一時中断したコマンドを再開することができる。したがって、この請求項12の発明によれば、使い勝手のよい不揮発性メモリを実現できる。

【0072】また、請求項13の発明は、請求項12に記載の不揮発性半導体記憶装置において、上記リフレッシュ中断コマンドを、消去中断コマンドで兼用しており、上記リフレッシュ再開コマンドを、消去再開コマンドで兼用していることを特徴としている。

【0073】この請求項13の発明では、リフレッシュ中断コマンド、リフレッシュ再開コマンドを、消去中断コマンド、消去再開コマンドでもって兼用しているから、コマンドの数の増加を抑えることができ、制御を簡潔にできる。

【0074】また、請求項14の発明は、請求項1乃至13のいずれか1つに記載の不揮発性半導体記憶装置において、1つのメモリセルに多値データを記憶するようにしていることを特徴としている。

【0075】この請求項14の発明では、多値データを記憶するメモリセルのリフレッシュ動作を確実に実行する。

【0076】また、請求項15の発明は、請求項5または6に記載の不揮発性半導体記憶装置において、上記リフレッシュ手段は、上記メモリセルへ複数回の書き込みを行って、しきい値電圧を多段階に変えることによって、書き換えを行うことを特徴としている。

【0077】この請求項15の発明では、多段階書き込みでもって、リフレッシュを実行するから、リフレッシュ動作の確実性をさらに向上できる。すなわち、書き込みパルスを少なくとも2回以上出力させて、しきい値状態1からしきい値状態2へ移行させるから、1回のパルス出力だけで、状態1から状態2を越えてしまうといった書き込みミスの確率を低くできる。

【0078】

【発明の実施の形態】以下、本発明を図示の実施の形態により、詳細に説明する。

【0079】図1に、本発明の不揮発性半導体記憶装置の実施の形態としてのフラッシュメモリのブロック図を示す。

【0080】このフラッシュメモリは、ライトステートマシン（WSM）1とブロック選択回路2を含んだ消去

(9)

特開平11-162182

16

消去/選択部3と、消去/書き込み電圧発生回路5とコマンドステートマシン（CSM）6を備えている。

【0081】上記消去/消去/選択部3は、ローデコーダ7とセンスアンプ8とコラムデコーダ10とn個の消去ブロック11とブロック選択回路2を有している。

【0082】上記ライトステートマシン1には、上記消去/書き込み電圧発生回路5からの信号が入力されるようになっている。また、上記コマンドステートマシン6には、/WE信号と/CE信号と/OE信号およびリセット信号が入力されるようになっている。そして、このコマンドステートマシン6および上記消去/消去/選択部3は、データ線およびアドレス線に接続されている。

【0083】上記消去/書き込み（プログラム）電圧発生回路5は、外部電源Vccに接続されていて、約12Vの高電圧を発生し、負ゲート消去を行う場合にはマイナス電位を発生する。

【0084】また、コマンドステートマシン6は、入力されたコマンドを解読し、ライトステートマシン1に解読した結果を送る。

【0085】ライトステートマシン1は、コマンドステートマシン6から入力されたコマンドに対応した消去動作や書き込み動作等を実行する。コラムデコーダ10は、ワード線を選択し、ローデコーダ7はビット線を選択する。

【0086】ローデコーダ7で選択されたビット線はセンスアンプ8で記憶状態をセンスされる。ブロック選択回路2は、n個ある消去ブロック11、11、11…（またはセクタ）から1個の消去ブロック11を選択して、そのブロックが消去禁止（ブロックロック状態）されていない時にはブロックのデータを一括消去する。なお、上記消去ブロック11を消去セクタとしてもよい。

【0087】次に、図3に、この実施の形態のセンスアンプ31とメモリセル群32が接続された回路を示す。このメモリセル群32は、複数個のメモリセルX0、X1、…、Xnからなる。このメモリセルとしては、図5に示す従来のものを用いても良く、強誘電体薄膜をゲート酸化膜に用いたメモリセルを用いてもよい。強誘電体薄膜をゲート酸化膜としたメモリセルによれば、分極反転を利用するので、従来のように、極く薄いトンネル酸化膜を用いなくても良く、さらに、高集積化できる利点がある。

【0088】上記メモリセル群32は、対応するトランジスタ35に接続され、このトランジスタ35はトランジスタ36に接続されている。そして、このトランジスタ36はトランジスタ37に接続され、トランジスタ37は電源に接続されている。上記トランジスタ35と36との接続線はインバータ39を介してトランジスタ36のゲートに接続されている。また、上記トランジスタ36と37との接続線はセンスアンプ31の入力側に接続されている。なお、上記メモリセル群32は、ソース

(10)

特開平11-162182

17

電位スイッチ38に接続されている。

【0089】次に、図4に、この実施形態におけるリフレッシュ動作時に使用するワード線電位発生回路を示す。このワード線電位発生回路は、分圧用抵抗21とセンスアンプ8を有し、図1のローデコーダ7に接続されている。また、このワード線電位発生回路は、ライトスタートマシン1に内蔵されている。

【0090】このワード線電位発生回路は、上記分圧用抵抗21によって、電位V<sub>HH</sub>を抵抗分割してリフレッシュ動作に必要なワード線電位の基準電圧を発生するものである。上記電位V<sub>HH</sub>は、図1に示した消去/書き込み電圧発生回路5で発生される。

【0091】上記分圧用抵抗21は、複数のタップ21A、21B、21C、21D、21E、…、21F、21Gを備える。このタップ21A、21B、21C、21D、21E、…、21F、21Gは、スイッチ25によって、いずれかが選択されて、センスアンプ8に接続される。

【0092】上記タップ21A～21Gからは、それぞれ、電圧V<sub>4</sub>、V<sub>4</sub>-ΔV、V<sub>3</sub>+ΔV、V<sub>3</sub>、V<sub>3</sub>-ΔV、…、V<sub>φ</sub>+ΔV、V<sub>φ</sub>が出力される。リフレッシュ動作時に、ライトスタートマシン1が出力する選択信号によって、上記タップ21A～21Gの内からどれかが選択される。

【0093】このワード線電位発生回路は、センスアンプ22に入力される信号φ<sub>1</sub>がHレベルのときに動作を開始し、このワード線電位発生回路の出力は、図1のローデコーダ7に出力される。

【0094】この実施形態において、図1に示す/CEピン52と、/WEピン51を共にLレベルにした第1サイクル目に、図9のデータA7H（Hは16進数）をデータピンに入力し、引き続き、/CEピン52と/WEピン51を共にLレベルにした第2サイクル目に、データDOHを入力する。これにより、コマンドスタートマシン6に、フルチップ消去コマンドが入力される。

【0095】通常、消去動作は、消去するブロック内の全メモリセルにデータ「0」を書き込む（しきい値電圧V<sub>th</sub>を大にする）ステップから始まる。そして、全メモリセルのしきい値電圧V<sub>th</sub>が規定値以上に揃うと、消去するブロックを一括消去する（しきい値電圧V<sub>th</sub>を小にする）ステップに進む。これら一連の動作はライトスタートマシン3が実行する。

【0096】次に、図2に、この実施形態が4値メモリセルを備える場合に、この4値メモリセルのしきい値電圧V<sub>th</sub>と、このしきい値電圧V<sub>th</sub>に対向するデータ（11、10、01、00）を示す。

【0097】上記4値メモリセルのしきい値電圧V<sub>th</sub>が電位V<sub>1</sub>以下の状態を状態1と呼び、データ11に対応させる。また、上記4値メモリセルのしきい値電圧V<sub>th</sub>が電位V<sub>2</sub>以下の状態を、状態2と呼び、データ10に対応させる。また、4値メモリセルのしきい値電圧

18

V<sub>th</sub>が電位V<sub>3</sub>以下の状態を状態3と呼び、データ01に対応させる。また、上記4値メモリセルのしきい値電圧V<sub>th</sub>が電位V<sub>3</sub>以上の状態を状態4と呼び、データ00に対応させる。

【0098】図2に示すように、V<sub>1</sub>とV<sub>0</sub>、V<sub>2</sub>とV<sub>1</sub>、V<sub>3</sub>とV<sub>2</sub>、V<sub>4</sub>とV<sub>3</sub>、それぞれの略中央の電圧値でメモリセル数が最大になっている。

【0099】この実施形態の不揮発性半導体記憶装置の入出力データが、8ビット（b<sub>7</sub>、b<sub>6</sub>、b<sub>5</sub>、b<sub>4</sub>、b<sub>3</sub>、b<sub>2</sub>、b<sub>1</sub>、b<sub>0</sub>）のときには、2ビットを一単位とする。すなわち、（b<sub>7</sub>、b<sub>6</sub>）、（b<sub>5</sub>、b<sub>4</sub>）、

（b<sub>3</sub>、b<sub>2</sub>）、（b<sub>1</sub>、b<sub>0</sub>）をメモリセル4個で記憶する。また、場合によっては、連続しないビットずつを組にしてもよい。例えば、（b<sub>7</sub>、b<sub>3</sub>）、（b<sub>6</sub>、b<sub>2</sub>）、（b<sub>5</sub>、b<sub>1</sub>）、（b<sub>4</sub>、b<sub>0</sub>）を組にする。

また、8値メモリセルでは、3ビットを一単位にする。【0100】上記4値メモリセルでは、4値メモリセルにデータ00を書き込む時には、図2の状態4以外の状態から4値メモリセルに弱く書き込みを行い、4値メモリセルのしきい値電圧V<sub>th</sub>を電位V<sub>3</sub>以上に上げる。

また、4値メモリセルにデータ01を書き込む場合には、図2の状態3以下の状態から弱く書き込みを行い、4値メモリセルのしきい値電圧V<sub>th</sub>を電位V<sub>2</sub>以上かつ電位V<sub>3</sub>以下にする。また、上記4値メモリセルにデータ10を書き込む場合には、図2の状態2以下の状態から弱く書き込みを行い、4値メモリセルのしきい値電圧V<sub>th</sub>を電位V<sub>1</sub>以上かつ電位V<sub>2</sub>以下にする。また、上記4値メモリセルにデータ11を書き込む場合には、しきい値電圧V<sub>th</sub>を状態1、すなわち電位V<sub>1</sub>以下にし、消去する。

【0101】上記弱い書き込みとは、ワード線電位またはビット線電位を下げた書き込み、あるいは、書き込みパルス幅が狭い状態の書き込みを言い、一回の書き込みパルスでメモリセルのしきい値電圧V<sub>th</sub>が少しずつ上がる書き込みを言う。

【0102】図2に示す状態1から状態2へ変化させるのに必要な書き込みパルス印加数を少なくとも3回以上必要にすると、書き込み時に誤って状態2を越えてしまう確率が小さくなる。

【0103】これに対し、1回の書き込みパルスで、状態1から状態2へ変化すると、状態1内で少しデータが劣化した場合にパルスが印加されると、状態が1から2に変わってしまい、状態1内でリフレッシュできない。

【0104】また、2回の書き込みパルスで、状態1から状態2へ変化させる場合には、特に、多値記憶の場合には、状態1内ではんの少しかけデータが劣化した場合にパルスが印加されると、状態が変わってしまう可能性や、誤ってリフレッシュパルスが印加されると状態が変わってしまう可能性がある。したがって、リフレッシュ動作により誤ったデータが書かれる可能性が生じる。

(11)

特開平11-162182

19

【0105】したがって、この実施形態のように、3回以上のパルスで状態1から状態2へ変化するような回路構成にすることが望ましい。もっとも、状態変化に要する書き込みパルス印加の回数を2回以上にした場合でも、1回にした場合に比べれば誤データ書き込みを防ぐ効果がある。

【0106】図9に、フラッシュメモリのコマンドの一例を示す。なお、ユーザが入力したコマンドは、コマンドステートマシン6でコマンドを認識して、この認識したコマンドをライトステートマシン1で実行する。

【0107】ブロック消去コマンドは、/CEピン52と、/WEピン51を共にLレベルにした第1サイクル目に、データ20H（Hは16進数）をデータピンに入力し、引き続いて、/CEピン52と /WEピン51とを共にLレベルにした第2サイクル目に、データDOHと消去したいブロックアドレスを入力する。

【0108】書き込みコマンドは、/CEピン52と /WEピン51を共にLレベルにした第1サイクル目に、データ40H（Hは16進数）をデータピンに入力し、引き続いて、/CEピン52と /WEピン51とを共にLレベルにした第2サイクル目に、メモリセルに書き込み

たいデータとメモリセルのアドレスを入力する。

【0109】消去動作は、通常、時間が長くなるので、消去中断コマンドがある。消去中断コマンドは、/CEピン52と /WEピン51を共にLレベルにした第1サイクル目に、データBOH（Hは16進数）をデータピンに入力する。中断を止め、消去動作を再開するには、再開コマンドを用いる。つまり、/CEピン52と /WEピン51を共にLレベルにした第1サイクル目に、データDOH（Hは16進数）をデータピンに入力

【0110】【メモリセルからの読み出し動作】次に、この実施形態において、図3に示したメモリセル群32のデータを読み出す場合の動作を説明する。メモリセル群32は、メモリセルX0～Xnで構成されている。通常の読み出しのときには、ワード線電位は、電位V1、V2、V3に設定される。図3に示す信号Y0からYnのうちの1つが、図1のコラムデコーダ10によって選択される。1つのコラムデコーダ10には、X0からXmのメモリセルが接続されている。そして、X0からXmのメモリセルのうちの1つが、ロウデコーダ7によって選択

【0111】ここで、選択されたメモリセルのデータを読むために、まず、ワード線電位を電位V1にする。選択されたメモリセルが状態1であれば、このメモリセルがオンするので、電流が流れ、図3のセンスアンプ31の出力Soutは、Lレベルになる。一方、上記選択されたメモリセルの状態が状態1でなければ、この選択されたメモリセルはオフし、センスアンプ31の出力SoutはHレベルになる。

20

【0112】そして、センスアンプ31の出力SoutがHレベルになると、ワード線電位をV2に上げる。ここで、選択されたメモリセルが状態2であれば、このメモリセルはオンして、電流が流れ、センスアンプ31の出力SoutはLレベルになる。

【0113】一方、上記選択されたメモリセルが状態3または状態4であれば、このメモリセルはオフし、センスアンプ31の出力SoutはHレベルになる。

【0114】そして、センスアンプ31の出力SoutがHレベルになると、ワード線電位をV3に上げる。このとき、選択されたメモリセルが状態3であれば、このメモリセルはオンして、電流が流れ、センスアンプ31の出力SoutはLレベルになる。一方、上記選択されたメモリセルが状態4であれば、このメモリセルはオフするので、センスアンプ31の出力SoutはHレベルになり、メモリセルのデータを読み出すことができるようになる。

【0115】【リフレッシュ動作】リフレッシュ動作は、ユーザが設定したコマンドに基づき、ライトステートマシン3で実行される。

【0116】リフレッシュ動作は、次のようにして行われる。まず、上記読み出しと同じように、選択されたワード線の電位をV1、V2、V3、V4と変化させ、メモリセルがオンする電位にまで、ワード線電位を上げる。

【0117】ワード線電位を徐々に上げてゆき、電位Vm（mは1から4の整数）でメモリセルがオフからオンに変化したとき、ワード線電位を{Vm-ΔV（ΔVは定数）}まで下げる。このとき、上記メモリセルがまだオンしていれば、このメモリセルの記憶状態が正常であると判断する。一方、このとき、上記メモリセルがオフすると、上記メモリセルのしきい値電圧Vthが上昇しており、記憶状態が異常になっているから、このメモリセルの記憶データを消去し、このメモリセルに再びデータを書き込む必要があると判断する。すなわち、リフレッシュが要求される。

【0118】次に、ワード線電位を、{Vm-1+ΔV（ΔVは定数）}まで下げる。このとき、メモリセルがオンするということは、メモリセルの浮遊ゲートから電子が逃げているということなので、このメモリセルがオフになるまで、このメモリセルに弱い書き込みを行う。

【0119】なお、図2の状態m=状態4をリフレッシュする場合には、上記動作において、ワード線電位をV4にする工程と、ワード線電位を{V4-ΔV（ΔVは定数）}まで下げる工程とを省いてもよい。

【0120】【シングルブロックリフレッシュコマンドを用いたリフレッシュ動作】次に、シングルブロックリフレッシュコマンドを用いたリフレッシュ動作について説明する。

【0121】このシングルブロックリフレッシュコマンドは、シングルブロック（またはセクタ）消去コマンドの



(12)

特開平11-162182

21

ように、2サイクルコマンドでリフレッシュを実行したいブロックアドレスを指定するものである。図10に、1サイクル目にデータ30Hを書き込み、2サイクル目にデータD0Hを書き込むように、ブロックアドレスを実行する一例を示す。

【0122】そして、コマンドステートマシン6は、入力されたコマンドを解釈し、ライトステートマシン(WSM)1に、解釈した結果を送る。

【0123】リフレッシュ動作時には、プログラム動作時と同じように、ポンプ回路やDC-DC変換回路で構成された内部高電圧発生回路である消去/書き込み電圧発生回路5が動作し、内部高電圧V<sub>H</sub>Hが発生する。

【0124】近年、不揮発性記憶回路の外部電源V<sub>CC</sub>は、5Vから3Vに低下しているため、リフレッシュ動作時のワード線電位(2ビット記憶時には通常約5V必要)を発生させるためには、約1.2Vの内部高電圧V<sub>H</sub>Hを利用する。

【0125】図4に示すワード線電位発生回路では、上記消去/書き込み電圧発生回路5からの電位V<sub>H</sub>Hを分圧抵抗21で抵抗分割して、リフレッシュ動作に必要な電位を得ている。ライトステートマシン1は、ブロックの最初のアドレスを選択するために、最初のアドレスを発生して、リフレッシュ動作を開始する。このリフレッシュ動作は、上述したように、消去(イレース)動作を伴うので、単独のメモリセルを消去して、リフレッシュすることはできない。

【0126】通常は、ブロック単位(またはセクタ単位)のデータを別の記憶部に一旦退避した後に、そのブロックのデータを消去し、それから、上記退避したデータを上記ブロックに再度書き直す必要がある。

【0127】したがって、同一チップ内に退避用の記憶部分がない場合には、フラッシュメモリでは、ステータスレジスタ(またはブロックステータスレジスタ)の所定のビットに、リフレッシュ要求ビットを設定する。

【0128】そして、ブロックの最初のアドレスのリフレッシュ動作を終了すると、ライトステートマシン1は、次のアドレスを発生し、次のアドレスのリフレッシュ動作を実行する。ライトステートマシン1は、次々とアドレスを変えて、必要であれば、データのリフレッシュを行い、該当するブロックすべてのメモリセルのデータをリフレッシュする。

【0129】フルチップリフレッシュコマンドを用いたリフレッシュ動作 次に、フルチップリフレッシュコマンドを用いたリフレッシュ動作を説明する。

【0130】フルチップリフレッシュコマンドは、フルチップ消去コマンドのように、個々のブロックのリフレッシュ動作を次々に行うためのコマンドである。たとえば、図10には、1サイクル目にデータB7Hを書き込み、2サイクル目にデータD0Hを書き込む一例を示す。このとき、上述したように、ブロック一括消去(イ

22

レース)を伴うリフレッシュ動作が必要となる場合には、ブロック単位(または、セクタ単位)に一括消去を行うので、単独のメモリセルを消去することはできない。そのため、通常、ブロック単位(または、セクタ単位)のデータを別の記憶部に一旦退避して、該当ブロックにおけるデータを消去した後に、退避したデータを該当ブロックに再び書き直す必要がある。

【0131】しかし、同一チップ内に退避用の記憶部分がない場合には、フラッシュメモリでは、特別なステータスレジスタにリフレッシュ要求ビットをセットする。なお、このリフレッシュ要求ビットは、該当ブロックのブロックステータスレジスタ(消去ブロック毎にあるステータスレジスタ)に設定してもよい。また、図6に示す一般的なステータスレジスタ(CSR)の所定ビットにリフレッシュ要求ビットを出力、つまりR1をHレベルに設定してもよい。

【0132】このリフレッシュ動作は、ブロック単位で行うので、比較的長い時間かかる。このリフレッシュ動作の最中に電源異常があると、その旨を、図6に示すステータスレジスタに出力し、ビット3のV<sub>PS</sub>SをHレベルにする。

【0133】リフレッシュ中には、ステータスレジスタのリフレッシュ中ビットをセットする。すなわち、図6のビット2のR2をHレベルにセットする。これによって、リフレッシュ中であることをユーザが知ることができるようになり、使いやすいメモリを実現できる。

【0134】また、リフレッシュ動作中のブロックステータスレジスタにも、リフレッシュ中であるという情報をセットすると、さらに使い易いメモリとなる。各消去ブロックごとにあるこのようなステータスレジスタを、通常、ブロックステータスレジスタと言う。

【0135】また、リフレッシュ動作は、比較的長い時間かかるので、リフレッシュ中断コマンドがあると使いやすい。コマンドステートマシン6にリフレッシュ中断コマンドが入力されると、コマンドステートマシン6は、この入力されたリフレッシュ中断コマンドを解釈し、ライトステートマシン1に解釈した結果を送る。すると、ライトステートマシン1は、リフレッシュ動作を一時中断し、読み出し動作を可能にする。これにより、リフレッシュ動作の途中で読み出し動作が可能になって、使い勝手の良いメモリを提供できる。

【0136】また、上記読み出し動作を可能にすると同時に、書き込み動作、シングルブロック消去動作などを可能にすると、さらに使い勝手が良くなる。

【0137】上記リフレッシュ動作の中断後に、リフレッシュ動作を再開するには、リフレッシュ再開コマンドを用いる。なお、このリフレッシュ再開コマンドを、消去再開コマンドと兼用するとコマンドの数が増えないから、制御を簡潔化できる利点がある。

【0138】次に、図7に、本発明の上記実施形態から

(13)

特開平11-162182

23

なる不揮発性半導体記憶装置71を複数個備えた記憶装置を示す。この記憶装置は、CPU制御部70と、n個の不揮発性半導体記憶装置71と、DRAMもしくはSRAMまたは不揮発性メモリからなる退避用メモリ72とを有し、それぞれが、制御信号線73、アドレス線74、データ線75に接続されている。

【0139】この記憶装置では、制御信号線73から定期的（または電源オン時または電源オフ前）に、各不揮発性記憶装置71、71…に、リフレッシュ開始コマンドを順次入力する。電源オン時には、システム立ち上げに必要なプログラムが入った記憶装置71だけを読み出し、他の不揮発性記憶装置71にリフレッシュコマンドを順次入力し、記憶データをリフレッシュする。最後に、システム立ち上げに必要なプログラムが入った記憶装置71の記憶データをリフレッシュする。

【0140】なお、図7に示すように、消去ブロックサイズ以上の記憶容量を持つRAM（ランダムアクセスメモリ）、または、強誘電体不揮発性メモリを、退避用メモリ72として装備するとリフレッシュ動作を随実に行うことができる。

【0141】次に、図8に、本発明の他の実施形態としての不揮発性半導体記憶装置のブロック図を示す。

【0142】この実施形態は、各消去ブロック11が、ブロックプロテクト設定部分11aを有している点と、コマンドステートマシン6がライトプロテクト信号WPを出力するWP信号発生回路66を備えている点とが、図1に示した実施形態と異なっている。

【0143】上記WP信号発生回路66が出力したライトプロテクト信号WPがHレベルのときに、ブロックプロテクト設定部分11aが有効になる。そして、ブロックプロテクト設定部分11aがHレベルのときに、該当ブロック11のデータ書き換えが禁止される。ただし、ブロックプロテクト設定部分11aが、Lレベルのときには、該当ブロック11を書き換えることが可能である。

【0144】ライトプロテクト信号WPがLレベルのときには、ブロックプロテクト設定部分11aは無効になり、ブロックプロテクト設定部分BPのHレベル、Lレベルにかかわることなく、該当ブロック11のデータ書き換えが可能になる。

【0145】なお、上記実施形態では、不揮発性半導体記憶装置を構成するメモリセルとしては、図5に示す従来のものを用いても良く、強誘電体薄膜をゲート酸化膜に用いたメモリセルを用いてもよい。強誘電体薄膜をゲート酸化膜としたメモリセルによれば、分極反転を利用するので、従来のように、極く薄いトンネル酸化膜を用いなくても良く、さらに、高集積化および低電圧化できる利点がある。

【0146】なお、消去状態が上記説明の逆の場合、つまり、メモリセルのしきい値電圧Vthが大きいことを

24

消去状態に対応させる場合には、消去動作時にメモリセルのしきい値電圧Vthを一括して大きくプログラムしてから、個々のメモリセルのしきい値電圧Vthを低くする。

【0147】

【発明の効果】以上より明らかなように、請求項1の発明の不揮発性半導体記憶装置は、リフレッシュコマンドを設定することによって、ブロックまたはセクタ単位でメモリセルの記憶データを書き換えて、メモリセルの記憶データをリフレッシュするリフレッシュ手段を備えた。

【0148】この請求項1の発明では、ユーザが、リフレッシュコマンドを設定することによって、随時、リフレッシュを実行できる。したがって、リフレッシュがやり易くなり、使いやすいメモリを提供できる。

【0149】また、請求項2の発明は、シングルブロックリフレッシュコマンドを設定することによって、ブロックまたはセクタ単位でメモリセルの記憶データを書き換え、メモリセルの記憶データをリフレッシュするリフレッシュ手段を備えた。

【0150】この請求項2の発明では、ユーザが、シングルブロックリフレッシュコマンドを設定することによって、随時、リフレッシュを実行できる。したがって、リフレッシュがやり易くなり、使いやすいメモリを提供できる。また、ブロック単位でのリフレッシュが可能になる。

【0151】また、請求項3の発明は、フルチップリフレッシュコマンドを設定することによって、ブロックまたはセクタ単位でメモリセルの記憶データを書き換え、メモリセルの記憶データをリフレッシュするリフレッシュ手段を備えた。

【0152】この請求項3の発明では、ユーザが、フルチップリフレッシュコマンドを設定することによって、随時、リフレッシュを実行できる。したがって、リフレッシュがやり易くなり、使いやすいメモリを提供できる。また、多数回のシングルブロックリフレッシュに相当するフルチップリフレッシュを行えるから、リフレッシュコマンドの入力に要する手間を省ける。

【0153】また、請求項4の発明は、請求項1乃至3のいずれか1つに記載の不揮発性半導体記憶装置であって、リフレッシュ動作時にワード線電位を高電圧回路出力から与えるようにした。

【0154】この請求項4の発明では、リフレッシュ動作時には、通常の読み出し動作時にワード線に電位を与える回路とは異なる高電圧回路から、ワード線に電位を与えるから、リフレッシュ動作の安定化を図れる。

【0155】また、請求項5の発明は、読み出し手段で、通常の読み出しである第1の読み出しと、ワード線に通常よりも高い電圧を与える第2の読み出しを行い、読み出しデータ比較判断手段で、上記2つの読み出しに

(14)

特開平11-162182

25

よる2つのデータが異なっているときに、リフレッシュ手段による弱い書き込みを行って、メモリセルのしきい値電圧を所定値だけ高めてリフレッシュ動作を行う。上記2つのデータが不一致であるときには、浮遊ゲートからの電荷抜けが起こっているから、上記弱い書き込みをもって、上記浮遊ゲートに電荷を溜うことにより、データの消失を防げる。

【0156】したがって、この請求項5の発明によれば、メモリセルのデータの異常を検出して、メモリセルのデータを正常に保つリフレッシュ動作を行え、データの安全性を向上できる。

【0157】また、請求項6の発明は、読み出し手段で、通常の読み出しである第1の読み出しと、ワード線に通常よりも低い電圧を与える第2の読み出しを行い、読み出しデータ比較判断手段で、上記2つの読み出しによる2つのデータが異なっているときに、リフレッシュ手段によって、メモリセルのしきい値電圧を所定値だけ低めてリフレッシュ動作を行う。上記2つのデータが不一致であるときには、浮遊ゲートへの電荷侵入が起こっているから、消去動作もしくは消去動作後の弱い書き込みをもって、浮遊ゲートの電荷を減少させることにより、データの消失を防げる。

【0158】したがって、この請求項6の発明によれば、メモリセルのデータの異常を検出して、メモリセルのデータを正常に保つリフレッシュ動作を行え、データの安全性を向上できる。

【0159】また、請求項7の発明は、メモリリフレッシュ動作状態通知手段によって、メモリセルに弱い書き込みを行う必要がある旨の情報ビットをレジスタに設定し、弱い書き込みが完了すれば、上記情報ビットをクリアする。したがって、メモリセルに書き込みを行うという比較的時間がかかる動作が行われているか否かを、この情報ビットでユーザに知らせることができる。

【0160】また、請求項8の発明は、メモリリフレッシュ動作状態通知手段によって、メモリセルのしきい値を所定値だけ低めるリフレッシュ動作を行う必要がある旨の情報ビットをレジスタに設定し、リフレッシュ動作が完了すれば、情報ビットをクリアする。したがって、メモリセルのリフレッシュという比較的時間がかかる動作が行われているか否かを、この情報ビットでユーザに知らせることができる。

【0161】また、上記メモリセルのしきい値を所定値だけ低めるには、浮遊ゲートから電荷を抜く必要がある。消去動作を行う必要がある。しかし、消去動作は、ブロックもしくはセクタ単位で行う必要がある。目的のメモリセルだけを消去することはできない。したがって、上記メモリセルが属するブロックを消去する必要があるという情報をレジスタに設定するのである。そして、レジスタ読み出しモード時に、このレジスタから、デバイスの外部に上記情報を読み出すことによって、ユ

26

ーザに上記情報を知らせることができる。

【0162】また、請求項9の発明は、ブロックサイズ判定手段で、リフレッシュ動作の対象となるメモリセルが属するブロックが所定サイズよりも小さいか否かを判断し、上記所定サイズよりも小さいと判断したときには、内蔵記憶部に上記ブロックのデータを退避し、上記ブロックのデータを消去してから、内蔵記憶部に退避したデータをメモリセルに書き直す(リフレッシュする)ことができる。

【0163】また、請求項10の発明は、ブロックサイズ判定手段で、リフレッシュ動作の対象となるメモリセルが属するブロックが所定サイズよりも小さくないときには、外部の記憶部に上記ブロックのデータを退避し、上記ブロックのデータを消去してから、外部記憶部に退避したデータをメモリセルに書き込むことができる。

【0164】また、請求項11の発明は、上記ブロックのデータを退避する記憶部を、不揮発性記憶装置で構成したから、リフレッシュ中の電源オフによる退避データの消失を防止できる。

【0165】また、請求項12の発明は、比較的時間のかかるリフレッシュ動作を、リフレッシュ中断コマンドで中断させて、別の動作の実行を可能にでき、この別の動作が終われば、リフレッシュ再開コマンドによって一時中断したコマンドを再開することができる。したがって、この請求項12の発明によれば、使い勝手のよい不揮発性メモリを実現できる。

【0166】また、請求項13の発明は、リフレッシュ中断コマンド、リフレッシュ再開コマンドを、消去中断コマンド、消去再開コマンドでもって兼用しているから、コマンドの数の増加を抑えることができ、制御を簡潔にできる。

【0167】また、請求項14の発明は、請求項1乃至13のいずれか1つに記載の不揮発性半導体記憶装置において、1つのメモリセルに多値データを記憶するから、多値データを記憶するメモリセルのリフレッシュ動作を確実にできる。

【0168】また、請求項15の発明は、多段階書き込みをもって、リフレッシュを実行するから、リフレッシュ動作の確実性をさらに向上できる。すなわち、書き込みパルスを少なくとも2回以上出力させて、しきい値状態1からしきい値状態2へ移行させるから、1回のパルス出力だけで、状態1から状態2を越えてしまうといった書き込みミスの確率を低くできる。

【図面の簡単な説明】

【図1】 この発明の不揮発性半導体記憶装置の実施の形態の主要部のブロック図である。

【図2】 上記実施の形態のメモリセルのしきい値電圧 $V_{th}$ と記憶データを示す図である。

【図3】 上記実施形態のセンスアンプとメモリセルとの接続を示す回路図である。

(15)

特開平11-162182

27

28

【図4】 上記実施形態のワード線電位発生回路の回路図を示す。

【図5】 浮遊ゲート型電界効果トランジスタ構造を有したメモリセルの構造図である。

【図6】 上記実施形態で用いるステータスレジスタの一例を示す図である。

【図7】 この発明のいま1つの実施形態を示すブロック図である。

【図8】 上記実施形態の変形例を示すブロック図である。

【図9】 不揮発性半導体記憶装置のコマンドの一例を示す図表である。

【図10】 上記実施形態のリフレッシュコマンドの一例を示す図表である。

\*【図11】 従来の不揮発性半導体記憶装置の一例を示すブロック図である。

【図12】 従来の不揮発性半導体記憶装置の一例を示すブロック図である。

【図13】 上記従来例のリフレッシュ動作を説明するフローチャートである。

【符号の説明】

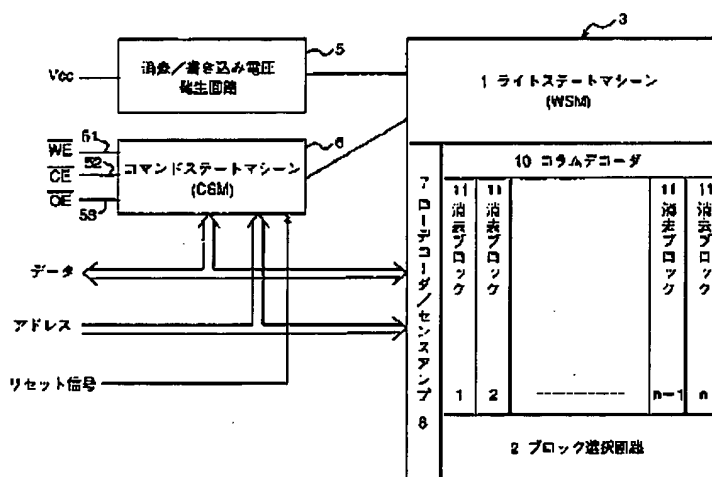
1…ライトスタートマシン、2…ブロック選択回路、3…書き込/消去/選択部、5…消去/書き込み電圧発生回路、

6…コマンドスタートマシン、7…ローデコーダ、8…センスアンプ、10…コラムデコーダ、11…消去ブロック、12…ブロック選択回路、21…分圧用抵抗、2

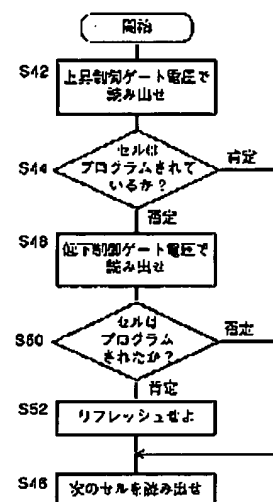
2…センスアンプ、25…スイッチ、31…センスアンプ、32…メモリセル群、

\*

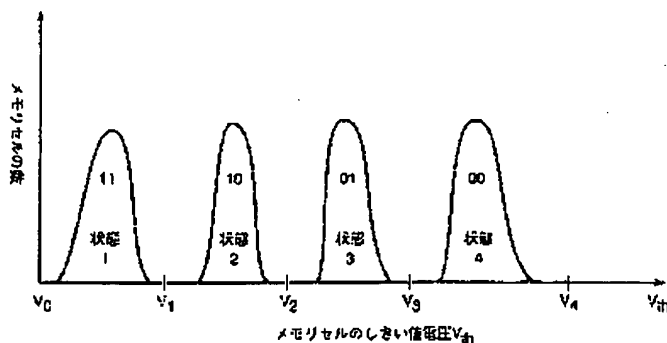
【図1】



【図13】



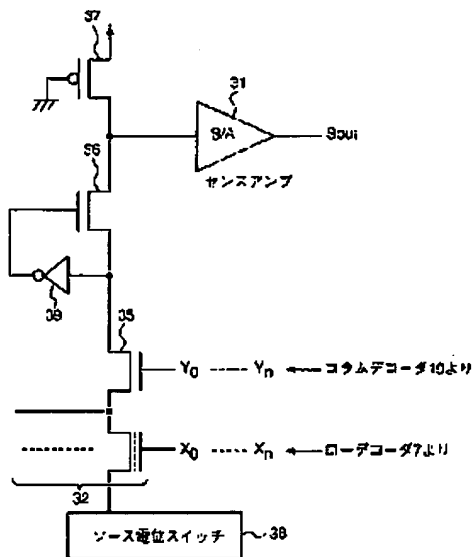
【図2】



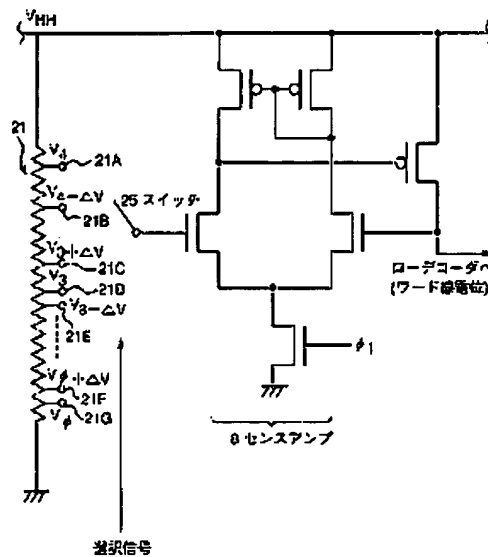
(15)

特開平 11-162182

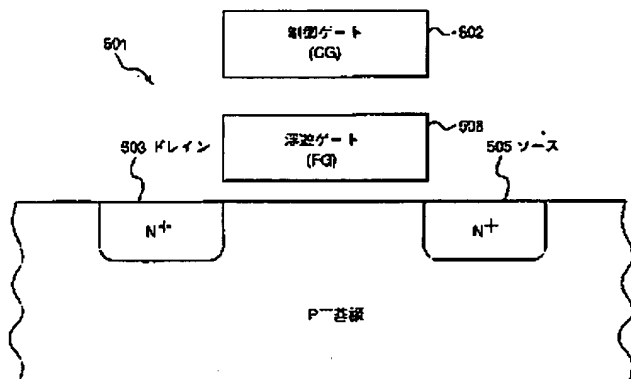
【図3】



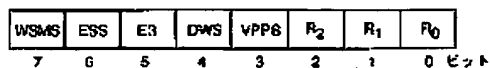
【图4】



【图5】



【圖6】



【圖 10】

コマンド	1回目の書き込みサイクル		2回目の書き込みサイクル	
	アドレス	データ	アドレス	データ
シングルブロック リフレッシュ	0000 care	3014	BA	00H
フルチップ リフレッシュ	0000 care	07H	0000 care	00H
リフレッシュ中斷	Don't care	B5H		
リフレッシュ再開	0000 care	06H		

Figure 1 is a block diagram of a computer system. It shows a CPU (70) connected to a bus system. The bus system includes a control signal line (73), an address line (74), and a data line (75). The CPU is connected to the control signal line (73) and the address line (74). The address line (74) is connected to a memory block (71) which contains a non-volatile memory (1) and a volatile memory (2). The data line (75) is connected to a memory block (72) which contains a non-volatile memory (n) and a volatile memory (n+1).

VCC

消費/書き込み電圧発生回路 5

高電圧/高電圧

WE

CE

OE

コマンドステートマシン(CSM) 8

WPP信号発生回路 9

コマンド

WPP信号

1 ライトステートマシン (WSM) 3

7 行デコード/センス回路 8

データ

アドレス

リセット信号

10 列アコード			
第1消費プロック	第2消費プロック	第3消費プロック	第4消費プロック
11	11		
BP	BP		
11	11A		

2 ブロック選択回路

コマンド	1回目の書き込みサイクル		2回目の書き込みサイクル	
	アドレス	データ	アドレス	データ
データ書き込み	Don't care	40H	WA	WD
ブロック消去	Don't care	20H	BA	D0H
フルチップ消去	Don't care	A7H	Don't care	D0H
消去中断	Don't care	B0H		
消去再開	Don't care	D0H		

BA: ブロックアドレス

WSMS	ES6	ES	DWS	VPP8	R <sub>2</sub>	R <sub>1</sub>	R <sub>0</sub>
7	6	5	4	3	2	1	0 Ext

(18)

特開平11-162182

【図12】

